

537,534

(12) NACH DEM VERTRÄG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
17. Juni 2004 (17.06.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/051763 A2

(51) Internationale Patentklassifikation⁷: **H01L 45/00**, 27/24, G11C 11/34

(21) Internationales Aktenzeichen: PCT/DE2003/003935

(22) Internationales Anmeldeatum: 27. November 2003 (27.11.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität: 102 56 486.8 3. Dezember 2002 (03.12.2002) DE

(71) Anmelder (*für alle Bestimmungsstaaten mit Ausnahme von US*): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Strasse 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (*nur für US*): **HOFMANN, Franz** [DE/DE]; Herbergstrasse 25B, 80995 München (DE). **KREUPL, Franz** [DE/DE]; Mandlstrasse 24, 80802 München (DE).

(74) Anwalt: **KÜHN, Armin**; Viering, Jentschura & Partner, Steinsdorfstrasse 6, 80538 München (DE).

(81) Bestimmungsstaaten (*national*): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) Bestimmungsstaaten (*regional*): ARIPO-Patent (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweiibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(54) Title: METHOD FOR THE PRODUCTION OF A MEMORY CELL, MEMORY CELL AND MEMORY CELL ARRANGEMENT

(54) Bezeichnung: VERFAHREN ZUM HERSTELLEN EINER SPEICHERZELLE, SPEICHERZELLE UND SPEICHERZELLEN-ANORDNUNG

(57) Abstract: The invention relates to a method for the production of a memory cell, a memory cell and a memory cell arrangement. According to the inventive method for the production of a memory cell, a first electrically conductive area is formed in and/or on a substrate. A second electrically conductive area is also formed at a given distance from the first electrically conductive area such that a cavity is formed between the first and second electrically conductive areas. The first and second electrically conductive areas are configured in such a way that when a first voltage is applied to the electrically conductive areas, a structure is formed from material from at least one of said electrically conductive areas, at least partially bridging over the distance between the electrically conductive areas. When a second voltage is applied to the conductive areas, the material of the structure at least partially bridging over the distance between the electrically conductive areas recedes.

WO 2004/051763 A2

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zum Herstellen einer Speicherzelle, eine Speicherzelle und eine Speicherzellen-Anordnung. Bei dem Verfahren zum Herstellen einer Speicherzelle wird in und/oder auf einem Substrat ein erster elektrisch leitfähiger Bereich ausgebildet. Ferner wird ein zweiter elektrisch leitfähiger Bereich in einem vorgegebenen Abstand zu dem ersten elektrisch leitfähigen Bereich derart ausgebildet, dass zwischen dem ersten und dem zweiten elektrisch leitfähigen Bereich ein Hohlraum gebildet wird. Der erste und der zweite elektrisch leitfähige Bereich werden derart eingerichtet, dass bei Anlegen einer ersten Spannung an die elektrisch leitfähigen Bereiche aus Material von mindestens einem der elektrisch leitfähigen Bereiche eine den Abstand zwischen den elektrisch leitfähigen Bereichen zumindest teilweise überbrückende Struktur gebildet wird. Bei Anlegen einer zweiten Spannung an die elektrisch leitfähigen Bereiche wird Material einer den Abstand zwischen den elektrisch leitfähigen Bereichen zumindest teilweise überbrückenden Struktur zurückbildet.

Beschreibung**Verfahren zum Herstellen einer Speicherzelle, Speicherzelle und Speicherzellen-Anordnung**

5 Die Erfindung betrifft ein Verfahren zum Herstellen einer Speicherzelle, eine Speicherzelle und eine Speicherzellen-Anordnung.

10 Angesichts der schnellen Entwicklung in der Computertechnologie besteht ein fortgesetzter Bedarf nach zunehmend dichteren und kostengünstigen Speichermedien.

15 Aus dem Stand der Technik ist eine DRAM-Speicherzelle ("Dynamic Random Access Memory") bekannt, bei der Information in dem Ladungszustand eines Kondensators kodiert wird. Ein DRAM weist den Nachteil einer schlechten Skalierbarkeit auf. Ferner muss ein DRAM-Speicher immer wieder aufgefrischt werden, was hinsichtlich der Leistungsbilanz nachteilig ist.

20 Darüber hinaus geht bei einem DRAM eine gespeicherte Information bei Abschalten der Spannungsversorgung verloren.

25 Bei der SRAM-Speicherzelle ("Static Random Access Memory") werden eine Vielzahl von Transistoren miteinander verschaltet, um Information zu speichern. Ein SRAM ist schlecht skalierbar, und gespeicherte Information geht bei Abschalten der Spannungsversorgung verloren.

30 Ferner ist aus dem Stand der Technik eine MRAM-Speicherzelle ("Magnetic Random Access Memory") bekannt. Bei dieser wird eine zu speichernde Information anschaulich in dem Magnetisierungszustand eines magnetisierbaren Bereichs gespeichert, wobei die elektrische Leitfähigkeit eines MRAM-Speichers von dem Magnetisierungszustand des magnetisierbaren

Bereichs abhängt. Allerdings treten bei einer fortgesetzten Skalierung eines MRAMs Probleme mit dem Phänomen des Superparamagnetismus auf. Aufgrund des superparamagnetischen Limits sind MRAM-Speicher nur schlecht skalierbar. Ferner ist 5 zwischen den beiden Speicherzuständen nur eine geringe Signaländerung messbar. Darüber hinaus treten Schwierigkeiten beim Auslesen einer MRAM-Speicherzellen-Anordnung auf, das Auslesen erfordert in der Regel das Bereitstellen aufwändiger Dioden.

10

Eine FeRAM-Speicherzelle ist eine Modifikation einer DRAM-Speicherzelle, bei der als Kondensator-Dielektrikum eine ferroelektrische Schicht verwendet wird. Auch ein FeRAM ist schlecht skalierbar und ist nur mit hohem Aufwand 15 herstellbar.

Andere aus dem Stand der Technik bekannte Speicherzellen sind ein EEPROM ("Electrically Erasable and Programmable Read Only Memory") und ein NROM ("Nitrided Read Only Memory"). Beide 20 Speicherzellen sind nur schlecht skalierbar, und es sind hohe Auslese- und Programmierspannungen erforderlich.

Die meisten der bekannten Speicherzellen beruhen auf dem Einbringen von Elektronen in einen Speicherbereich. 25 Allerdings haben Elektronen die Tendenz zum Ladungsausgleich und daher zu einem Abfließen aus dem Speicherbereich, wodurch Speicherinformation verloren gehen kann. Somit sind mit solchen Speicherzellen ausreichend lange Haltezeiten nur schwer erreichbar.

30

In [1] wird ein Experiment beschrieben, bei dem unter Verwendung eines Tunnelmikroskops ("Scanning Tunneling Microscope", STN) eine Silbersulfid-Spitze einem Platin-

Substrat bis auf wenige Nanometer angenähert wird, und mittels Anlegens einer geeigneten Spannung zwischen die Silbersulfid-Spitze und das Platin-Substrat ein Quantenpunktkontakt zwischen Silbersulfid-Spitze und Platin-Substrat gebildet wird.

Dieses Experiment wird im Weiteren bezugnehmend auf **Fig.1A**, **Fig.1B** beschrieben.

Die in Fig.1A gezeigte erste Experimentier-Anordnung 100 enthält ein Platin-Substrat 101, das unter Verwendung eines Tunnelmikroskops in einem Abstand weniger Nanometer von einer Silbersulfid-Spitze 102 angebracht wird. Wie in der ersten Experimentier-Anordnung 100 gezeigt, führt ein Anlegen einer ersten Spannung 103 zwischen das Platin-Substrat 101 und die Silbersulfid-Spitze 102 mit einem solchen Vorzeichen, dass das Substrat 101 gegenüber der Silbersulfid-Spitze 102 negativ geladen ist, dazu, dass Silberatome aus der Silbersulfid-Spitze austreten, wodurch sich ein Quantenpunktkontakt 104 aus Silbermaterial bildet. Die bei diesem Prozess ablaufenden elektrochemischen Reaktionen sind in Fig.1A ebenfalls dargestellt. Atomares Silbermaterial der Silbersulfid-Spitze 102 wird aufgrund des Vorzeichens der ersten Spannung 103 zu positiv geladenen Silberionen ionisiert, wohingegen an dem Quantentunnelkontakt zwischen Platin-Substrat 101 und Silbersulfid-Spitze 102 positiv geladene Silberionen zu elementaren Silber reduziert werden. Dies führt zu einem Überbrücken der Tunnelbarriere zwischen dem Platin-Substrat 101 und der Silbersulfid-Spitze 102.

30

Im Weiteren wird bezugnehmend auf die zweite Experimentier-Anordnung 110 aus Fig.1B erläutert, was bei einem Anlegen einer zweiten Spannung 111 zwischen Komponenten 101, 102

passiert, wobei die zweite Spannung 111 gegenüber der ersten Spannung 103 eine umgekehrte Polung aufweist. In diesem Betriebszustand wird das atomare Silber des Quantenpunktkontakts 104 zu positiv geladenem Silber 5 ionisiert, so dass sich der Quantenpunktkontakt 104 zurückbildet und eine elektrische Kontaktierung zwischen dem Platin-Substrat 101 und der Silbersulfid-Spitze 102 nicht mehr gegeben ist. Ionisiertes Silber der Silbersulfid-Spitze 102 an dem negativen Pol der Spannungsquelle zum Erzeugen der 10 zweiten Spannung 111 wird zu atomarem Silber reduziert.

Das Bilden des Quantenpunktkontakts 104 zum Überbrücken der Komponenten 101, 102 verändert den elektrischen Widerstand der Anordnung aus Komponenten 101, 102, wie in Fig.2 gezeigt.

15 In **Fig.2** ist ein Diagramm 200 gezeigt, entlang dessen Abszisse 201 eine zwischen dem Platin-Substrat 101 und der Silbersulfid-Spitze 102 anliegende elektrische Spannung aufgetragen ist. Entlang der Ordinate 202 ist logarithmisch 20 der Wert des gemessenen ohmschen Widerstands aufgetragen. In einem Szenario, welches der ersten Experimentier-Anordnung 100 entspricht, besteht ein elektrisch leitfähiger Kontakt zwischen dem Platin-Substrat 101 und der Silbersulfid-Spitze 102, so dass die Anordnung aus Komponenten 101, 102 einen 25 geringen Wert des ohmschen Widerstands aufweist. In einem Szenario, das der zweiten Experimentier-Anordnung 110 entspricht, ist der Quantenpunktkontakt 104 zurückgebildet, wodurch das Platin-Substrat 101 von der Silbersulfid-Spitze 102 elektrisch entkoppelt ist und die Anordnung aus 30 Komponenten 101, 102 einen geringen Wert des ohmschen Widerstands aufweist. In letzterem Zustand kann lediglich ein kleiner Tunnelstrom zwischen Komponenten 102 und 102 fließen.

Aus [2] ist bekannt, dass aliphatische und aromatische Self-Assembled-Monolayers als organische Dielektrika zwischen zwei Komponenten verwendet werden können, die voneinander im Abstand weniger Nanometer angeordnet werden sollen.

5

Aus [3] ist ein Vertikal-Transistor für eine DRAM-Speicherzelle bekannt.

Aus [4] bis [10] sind Speicher bekannt, bei denen zwischen einer ersten Elektrode und einer zweiten Elektrode ein Chalkogenid angeordnet ist. Mittels Anlegens einer elektrischen Spannung zwischen die beiden Elektroden kann durch das Chalkogenid hindurch ein Dendrit aufwachsen oder zurückwachsen.

15

Allerdings ist bei den aus [4] bis [10] bekannten Speicherzellen nachteilhaft, dass ein ausreichend hohes On/Off-Verhältnis der Speicherzellen nur unter Verwendung eines großen Materialvolumens erreichbar ist. Ferner ist aufgrund des Aufwachsen des Dendriten durch das Chalkogenid-Material hindurch eine ausreichend schnelle Lesezeit und Schreibzeit der Speicherzellen nicht erreichbar.

[11] offenbart eine mikroelektronische programmierbare Vorrichtung und Verfahren zum Bilden und Programmieren derselben.

[12] offenbart elektrochemische Stromquellen, insbesondere Bleiakkumulatoren.

30

Der Erfindung liegt das Problem zugrunde, ein Verfahren zum Herstellen einer Speicherzelle, eine Speicherzelle und eine Speicherzellen-Anordnung anzugeben, mit gegenüber aus dem

Stand der Technik bekannten Speicherzellen verbesserten Eigenschaften.

Das Problem wird durch ein Verfahren zum Herstellen einer 5 Speicherzelle, durch eine Speicherzelle und durch eine Speicherzellen-Anordnung mit den Merkmalen gemäß den unabhängigen Patentansprüchen gelöst.

Bei dem Verfahren zum Herstellen einer Speicherzelle wird 10 in/oder auf einem Substrat ein erster elektrisch leitfähiger Bereich ausgebildet. Ferner wird ein zweiter elektrisch leitfähiger Bereich in einem vorgegebenen Abstand zu dem ersten elektrisch leitfähigen Bereich derart ausgebildet, dass zwischen dem ersten und zweiten elektrisch leitfähigen 15 Bereich ein Hohlraum gebildet wird. Der erste und der zweite elektrisch leitfähige Bereich werden derart eingerichtet, dass bei Anliegen einer ersten Spannung an die elektrisch leitfähigen Bereiche aus Material von mindestens einem der elektrisch leitfähigen Bereiche eine den Abstand zwischen den 20 elektrisch leitfähigen Bereichen zumindest teilweise überbrückende Struktur gebildet wird. Ferner sind der erste und zweite elektrisch leitfähige Bereich derart eingerichtet, dass bei Anlegen einer zweiten Spannung an die elektrisch leitfähigen Bereiche Material einer dem Abstand zwischen den 25 elektrisch leitfähigen Bereichen zumindest teilweise überbrückenden Struktur zurückgebildet wird.

Die erfindungsgemäße Speicherzelle weist ein Substrat und 30 einen in/oder auf dem Substrat ausgebildeten ersten elektrisch leitfähigen Bereich auf. Ferner enthält die Speicherzelle einen zweiten elektrisch leitfähigen Bereich, der in einem vorgebbaren Abstand zu dem ersten elektrisch leitfähigen Bereich derart angeordnet ist, dass zwischen dem

ersten und dem zweiten elektrisch leitfähigen Bereich ein Hohlraum gebildet wird. Der erste und der zweite elektrisch leitfähige Bereich sind derart eingerichtet, dass bei Anlegen einer ersten Spannung an die elektrisch leitfähigen Bereiche 5 aus Material von mindestens einem der elektrisch leitfähigen Bereiche eine den Abstand zwischen den elektrisch leitfähigen Bereichen zumindest teilweise überbrückende Struktur gebildet wird. Der erste und der zweite elektrisch leitfähige Bereich ist ferner derart eingerichtet, dass bei Anlegen einer 10 zweiten Spannung an die elektrisch leitfähigen Bereiche Material einer den Abstand zwischen den elektrisch leitfähigen Bereichen zumindest teilweise überbrückenden Struktur zurückgebildet wird.

15 Ferner ist erfindungsgemäß eine Speicherzellen-Anordnung mit einer Mehrzahl von Speicherzellen mit den oben beschriebenen Merkmalen geschaffen.

Eine Grundidee der Erfindung ist darin zu sehen, dass eine 20 Speicherzelle geschaffen wird, bei der Information speicherbar ist, indem ein erster und ein zweiter elektrisch leitfähiger Bereich gemeinsam entweder eine hochohmige Struktur (beispielsweise Information mit dem logischen Wert "1") oder eine niederohmige Struktur (beispielsweise 25 Information mit einem logischen Wert "0") aufweisen, wobei die Speicherzelle reversibel zwischen den beiden Zuständen geschaltet werden kann. Sind die beiden elektrisch leitfähigen Bereiche in dem vorgegebenen Tunnelabstand voneinander angeordnet, welcher mittels des definierten 30 Hohlraums gebildet ist, so kann lediglich ein geringer Tunnelstrom zwischen den beiden elektrisch leitfähigen Bereichen fließen, und die Speicherzelle nimmt einen hohen Wert des ohmschen Widerstandes ein. Ist jedoch eine die

elektrisch leitfähigen Bereiche überbrückende Struktur zwischen den beiden elektrisch leitfähigen Bereichen gebildet, so ist die Anordnung wesentlich niederohmiger.

5 Erfindungsgemäß wird die Überbrückungsstruktur zwischen den elektrisch leitfähigen Bereichen über den ausgebildeten Hohlraum hinweg gebildet bzw. zurückgebildet. Das Aufwachsen bzw. Zurückwachsen der Überbrückungsstruktur ist somit mit wesentlich höherer Rate bzw. mit geringeren elektrischen 10 Schreib-/Lese-Spannungen realisierbar als bei den in [4] bis [10] beschriebenen Speicherzellen, bei denen ein Dendrit durch eine Festkörperschicht hindurch aufwachsen muss. Somit ist erfindungsgemäß eine wesentlich kürzere Schreib- und Lese-Zeit ermöglicht.

15 Die erfindungsgemäße Speicherzelle beruht anders als viele aus dem Stand der Technik bekannte Speicherzellen (z.B. DRAM, SRAM, FeRAM, EEPROM, NROM, etc.) nicht auf der Speicherung von leicht flüchtigen elektrischen Ladungsträgern, sondern 20 auf einem Bilden oder Zurückbilden einer Festkörperstruktur zum Überbrücken des Hohlraums zwischen den elektrisch leitfähigen Bereichen, was anschaulich mehr einem mechanischen Relais auf Nanometerskala entspricht. Somit ist die Speicherinformation in der erfindungsgemäßen 25 Speicherzelle wesentlich sicherer gespeichert, was eine hohe Haltezeit zur Folge hat.

0 Ferner ist bei einer fortgesetzten Erhöhung der Integrationsdichte von Speicherzellen eine Speicherzelle, bei der die Speicherinformation von in Form von elektrischen Ladungsträger gespeichert ist, grundsätzlichen physikalischen Problemen ausgesetzt. Aufgrund der langen Reichweite der Coulomb-Wechselwirkung können Ladungsträger beispielsweise

benachbarter Speicherzellen unerwünscht wechselwirken, wodurch die Speicherinformation verloren oder unerwünscht manipuliert werden kann. Die erfindungsgemäße Speicherzelle hingegen ist eine skalierbare Speicherzelle, deren Prinzip 5 nicht auf der Speicherung von Ladungsträgern beruht, wodurch die oben angesprochenen unerwünschten Wechselwirkungseffekte vermieden sind.

Da der Hohlraum zwischen den beiden elektrisch leitfähigen 10 Bereichen bis in den Angstrom-Bereich und weniger verringert werden kann (anschaulich als Quantenpunktkontakt ausgeführt werden kann), ist die erfindungsgemäße Speicherzellen-Anordnung mit einer Speicherdichte von 60 Terabit pro Quadratinch und mehr bei einer einfachen planaren Anordnung 15 realisierbar. Bei einer dreidimensionalen Stapelung der erfindungsgemäßen Speicherzellen aufeinander, was aufgrund der gewählten Schichtarchitektur ermöglicht ist, lässt sich die Speicherdichte bis den Pentabit-Bereich und mehr erhöhen. 20 Die erfindungsgemäße Speicherzelle weist ferner die Vorteile auf, dass sie mit geringen Zeiten und Spannungen schreib- und lesbar ist, mehrfach beschreibbar ist, nichtflüchtig ist sowie mit low power und low voltage Anforderungen betreibbar ist. So kann für die erfindungsgemäße Speicherzelle eine 25 Versorgungsspannung von ungefähr 100 mV ausreichend sein.

Mittels Verwendens eines Vakuum-Hohlraums (bzw. eines lediglich mit Gas gefüllten Hohlraums) ist ein besonders hohes On/Off-Verhältnis der ohmschen Widerstandswerte in den 30 beiden Betriebszuständen der Speicherzelle (Überbrückungsstruktur aufgewachsen/Überbrückungsstruktur zurückgewachsen) erreicht. Die Verwendung eines Tunnelkontaktes ermöglicht eine exponentielle Kennlinie und

10

somit eine hohe Zuverlässigkeit der gespeicherten
Informationen.

Ein Kernaspekt der Erfindung ist somit darin zu sehen, einen
5 zwischen zwei Elektrodenbereichen ausgebildeten Hohlraum ohne
festes oder flüssiges Füllmaterial (bis auf mögliches Restgas
in dem Hohlraum) zu schaffen, dessen Tunnelabstand,
vorzugsweise im Bereich eines Nanometer, bis hin zu einem
Quantenpunktkontakt, d.h. einer vollständigen Überbrückung
10 des Hohlraums, geändert werden kann (beispielsweise mittels
beweglicher Ionen in einem Festkörperelektrolyten).

Aus einer Vielzahl solcher Tunnelkontakte, welche jeweils
15 eine Speicherzelle bilden, lässt sich eine Speicherzellen-
Anordnung (ähnlich wie bei einem MRAM) aufbauen. Zum Auslesen
von gespeicherter Information kann zum Beispiel auf die
Ausleseprinzipien eines MRAMs zurückgegriffen werden. Auch
kann sich unterhalb jeder Speicherzelle bei einer
Speicherzellen-Anordnung ein Auswahltransistor oder ein
20 anderes Auswahllement befinden, der oder das über Wort- und
Bitleitungen angesteuert werden kann und so das gezielte
Auslesen einer bestimmten Speicherzelle erlaubt. In einem
Kreuzungsbereich zweier zueinander beispielsweise orthogonal
angeordneter Leiterbahnen kann eine Festkörperreaktion
25 herbeigeführt werden, wie sie oben bezugnehmend auf Fig.1A,
Fig.1B beschrieben ist.

Somit können zwei Elektroden, eine beispielsweise aus
Silbersulfid (Ag_2S) und die andere aus Platin oder Gold, in
30 einem Abstand von typischerweise 0.5nm bis 5nm voneinander
angeordnet sein, wodurch die beiden Elektroden durch eine
materialfreie (Vakuum)-Tunnelbarriere miteinander
wechselwirken können. Wenn an der Platin-Elektrode ein

11

gegenüber der Silbersulfid-Elektrode negatives elektrisches Potential angelegt ist, können Elektroden durch den Tunnelabstand hindurch tunneln und in der Ag_2S -Elektrode Silberionen zu elementarem Silber neutralisieren, welches 5 Silber dann an der Oberfläche der Silbersulfid-Elektrode ausgeschieden wird und einen oder mehrere Quantenpunktkontakte bildet oder bilden. Bei umgekehrter Polarität der Spannung werden die Silberionen ionisiert und wandern in die Ag_2S -Elektrode zurück, so dass wiederum ein 10 Betriebszustand mit einem hohen ohmschen Widerstand vorliegt.

Ein wichtiger Aspekt der Erfindung ist daher in der reproduzierbaren Herstellung eines einstellbaren Tunnelabstands zwischen zwei elektrisch leitfähigen Bereichen 15 (beispielsweise zwei Elektroden) zu sehen.

Bevorzugte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

20 Bei dem Verfahren zum Herstellen einer Speicherzelle kann zum Bilden des vorgegebenen Abstands zwischen dem ersten und dem zweiten elektrisch leitfähigen Bereich auf dem ersten elektrisch leitfähigen Bereich eine Hilfsstruktur einer vorgegebenen Dicke ausgebildet werden und nach Ausbilden des 25 zweiten elektrisch leitfähigen Bereichs die Hilfsstruktur entfernt werden. Unter Verwendung einer Hilfs- oder Opferstruktur einer vorgebbaren Dicke kann somit die Geometrie des später ausgebildeten Hohlraums genau festgelegt und eingestellt werden. Die Hilfsstruktur dient anders 30 ausgedrückt als Abstandshalter zwischen den elektrisch leitfähigen Bereichen.

Vorzugsweise wird als Hilfsstruktur ein Self-Assembled-Monolayer verwendet, wie er beispielsweise in [2] beschrieben ist. Ein Self-Assembled-Monolayer kann beispielsweise ein organisches Molekül aus einer Kohlenstoffkette einstellbarer 5 Länge und einem daran gebundenen Schwefelion sein. Verwendet man beispielsweise die hinsichtlich der Kopplungsschemie besonders günstige Gold-Schwefel-Kopplung, so kann das Schwefelion des Self-Assembled-Monolayer mit einem der elektrisch leitfähigen Bereiche gekoppelt werden, so dass die 10 beiden elektrisch leitfähigen Bereiche in einem Abstand im Nanometerbereich voneinander angeordnet werden können. Da insbesondere die Länge der Kohlenstoffkette annähernd beliebig eingestellt werden kann, ist eine Definition des 15 Abstands zwischen den beiden elektrisch leitfähigen Bereichen unter Verwendung von Self-Assembled-Monolayers bis zu einer Genauigkeit im Angstrombereich und weniger möglich. Der Self-Assembled-Monolayer kann nach dem Ausbilden des zweiten elektrisch leitfähigen Bereichs auf dem Self-Assembled-Monolayer unter Verwendung eines selektiven Ätzverfahrens 20 entfernt werden, wodurch der Hohlraum ausgebildet wird. Die Verwendung von Self-Assembled-Monolayers (SAMs), die auch als selbstorganisierende Monoschichten bezeichnet werden können, erlaubt das Vorgeben eines definierten Abstands zwischen den 25 beiden elektrisch leitfähigen Bereichen mit einer Genauigkeit von 100pm und weniger, mit einer hohen Reproduzierbarkeit.

Alternativ zur Verwendung eines Self-Assembled-Monolayers kann die Hilfs- oder Opferstruktur unter Verwendung eines Atomic-Layer-Deposition-Verfahrens (ALD-Verfahren) 30 ausgebildet werden. Bei diesem Verfahren ist das definierte Abscheiden einer Schicht mit einer Dicke möglich, die bis auf die Genauigkeit einer Atomlage, d.h. bis zu einer Genauigkeit weniger Angstrom, eingestellt werden kann.

Alternativ kann die Hilfsstruktur unter Verwendung eines Molekularstrahlepitaxie-Verfahrens (MBE-Verfahren) ausgebildet werden.

5

Der vorgegebene Abstand zwischen den beiden elektrisch leitfähigen Bereichen beträgt vorzugsweise zwischen ungefähr 0.5nm und ungefähr 5nm, weiter vorzugsweise zwischen ungefähr 0.6nm und ungefähr 2nm. Durch derartige Abstände ist ein ausreichend schnelles Bilden bzw. Zurückbilden einer Überbrückungsstruktur ermöglicht, so dass schnelle Programmier- und Löschzeiten realisiert sind.

Bei dem erfindungsgemäßen Verfahren kann der erste elektrisch leitfähige Bereich als eine erste Leiterbahn und der zweite elektrisch leitfähige Bereich als eine zweite Leiterbahn ausgebildet werden, welche Leiterbahnen zueinander orthogonal verlaufen ausgebildet werden können. Anschaulich bildet der Kreuzungsbereich einer ersten mit einer zweiten Leiterbahn, getrennt durch den Tunnelkontakt, eine erfindungsgemäße Speicherzelle.

Im Weiteren wird die erfindungsgemäße Speicherzelle näher beschrieben. Ausgestaltungen des Verfahrens zum Herstellen einer Speicherzelle gelten auch für die Speicherzelle und umgekehrt.

Bei der erfindungsgemäßen Speicherzelle kann das Substrat ein Halbleiter-Substrat, vorzugsweise ein Silizium-Substrat wie beispielsweise ein Silizium-Wafer oder ein Silizium-Chip sein.

Der erste oder der zweite elektrisch leitfähige Bereich

(insbesondere derjenige elektrisch leitfähige Bereich, von dem aus eine Überbrückungsstruktur zu dem anderen elektrisch leitfähigen Bereich wachsen kann) kann einen Festkörper-Elektrolyten, ein Metallionen aufweisendes Glas, einen 5 Metallionen aufweisenden Halbleiter oder ein Chalkogenid aufweisen. Unter einem Chalkogenid kann ein Material verstanden werden, das ein Element der sechsten Hauptgruppe im Periodensystem aufweist, insbesondere Schwefel, Selen und/oder Tellur. Vorzugsweise weist der erste oder der zweite 10 elektrisch leitfähige Bereich ein Chalkogenid-Material und ein Metall-Material auf. Das Chalkogenid-Material kann aus der Gruppe von Arsen, Germanium, Selen, Tellur, Wismut, Nickel, Schwefel, Polonium und Zink ausgewählt werden,. Das Metall-Material kann aus der ersten oder zweiten Hauptgruppe 15 des Periodensystems ausgewählt werden, wobei Silber, Kupfer oder Zink bevorzugt sind.

Beispielsweise kann der erste oder der zweite elektrisch leitfähige Bereich Silbersulfid aufweisen, alternativ 20 Arsensulfid, Germaniumsulfid oder Germaniumselenid.

Der erste oder der zweite elektrisch leitfähige Bereich (insbesondere derjenige elektrisch leitfähige Bereich, zu dem hin eine Überbrückungsstruktur von dem anderen elektrisch 25 leitfähigen Bereich aus wachsen kann) kann aus metallischem Material wie beispielsweise Silber, Gold, Aluminium und/oder Platin bestehen.

Besonders vorteilhaft ist eine Materialkombination, bei der 30 einer der elektrisch leitfähigen Bereiche aus Gold-, Silber- oder Kupfer-Material hergestellt wird und als Hilfsstruktur ein Self-Assembled-Monolayer mit einer Schwefel-Endgruppe verwendet wird. In diesem Fall kann die günstige Gold-Schwefel-Kopplungschemie verwendet werden, die in ähnlicher 35 Weise auch mit den Materialien Silber und Kupfer wirkt.

Im Weiteren wird die erfindungsgemäße Speicherzellen-Anordnung, die erfindungsgemäße Speicherzellen aufweist, näher beschrieben. Ausgestaltungen der Speicherzelle gelten 5 auch für die Speicherzellen aufweisende Speicherzellen-Anordnung.

Die Speicherzellen können im Wesentlichen matrixförmig angeordnet sein. Beispielsweise können entlang einer ersten 10 Richtung erste Leiterbahnen als erste elektrisch leitfähige Bereiche und entlang einer zweiten Richtung zweite Leiterbahnen als zweite elektrisch leitfähige Bereiche ausgebildet werden. In jedem Kreuzungsbereich zwischen einer der ersten Leiterbahnen und einer der zweiten Leiterbahnen 15 kann dann eine erfindungsgemäße Speicherzelle angeordnet sein, wenn die ersten bzw. zweiten Leiterbahnen in einem Abstand voneinander angeordnet sind, welche einem Tunnelabstand entsprechen.

20 Für zumindest einen Teil der Speicherzellen der Speicherzellen-Anordnung können Auswahllemente zum Auswählen einer Speicherzelle in und/oder auf dem Substrat ausgebildet sein. Die Auswahllemente sind vorzugsweise Feldeffekttransistoren, weiter vorzugsweise Vertikalfeldeffekttransistoren. Die Auswahllemente können als 25 Schaltelemente verwendet werden, so dass der Stromfluss durch eine mittels Anlegens einer elektrischen Spannung an den Gate-Bereich eines Feldeffekttransistors, ausgewählte Speicherzelle erfasst werden kann und daher der darin gespeicherte Informationsgehalt ausgelesen werden kann.

Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im Weiteren näher erläutert.

Es zeigen:

Figuren 1A und 1B Experimentier-Anordnungen gemäß dem Stand
5 der Technik,

Figur 2 ein Diagramm, das für die in Figur 1 gezeigten
Experimentier-Anordnungen eine Spannungs-Widerstands-
Charakteristik darstellt,

10 Figuren 3A bis 3D Schichtenfolgen zu unterschiedlichen
Zeitpunkten während eines Verfahrens zum Herstellen
einer Speicherzelle gemäß einem bevorzugten
Ausführungsbeispiel der Erfindung,

15 Figur 4 eine Speicherzellen-Anordnung gemäß einem bevorzugten
Ausführungsbeispiel der Erfindung,

20 Figur 5 eine Speicherzelle gemäß einem bevorzugten
Ausführungsbeispiel der Erfindung.

Figur 6 eine Speicherzelle gemäß einem anderen bevorzugten
Ausführungsbeispiel der Erfindung.

25 Gleiche oder ähnliche Komponenten in unterschiedlichen
Figuren sind mit gleichen Bezugsziffern versehen.

Die Darstellungen in den Figuren sind schematisch und nicht
maßstäblich.

30 Im Weiteren wird bezugnehmend auf Fig.3A bis Fig.3D ein
Verfahren zum Herstellen einer Speicherzelle gemäß einem
bevorzugten Ausführungsbeispiel der Erfindung beschrieben.

Um die in **Fig.3A** gezeigte Schichtenfolge 300 zu erhalten, wird auf einem Silizium-Substrat 301, in welchem bereits zuvor eine mögliche Auswerte- oder Schaltelektronik (beispielsweise Verstärker, Auswahltransistor, etc.)

5 ausgebildet worden sein kann, eine gemäß diesem Ausführungsbeispiel ungefähr 100nm dicke Siliziumoxid-Schicht 302 abgeschieden. Auf der Siliziumoxid-Schicht 302 wird eine Photoresist-Schicht 303 abgeschieden. Unter Verwendung eines Lithografie- und eines Trockenätz-Verfahrens wird in die

10 Siliziumoxid-Schicht 302 bzw. in die Photoresist-Schicht 303 ein Graben 305 eingebracht. Nach dem Ätzen wird das Material der Fotolack-Schicht 303 nicht verascht, sondern einem Nassätzschritt mit gepufferter Flusssäure (HF) unterzogen, derart dass sich eine leichte Unterätzung des Photoresists

15 303 ergibt. Nachfolgend wird unter Verwendung eines gerichteten Aufdampf- oder Sputter-Verfahrens eine ungefähr 10nm dicke Titan-Schicht in dem Graben 305 abgeschieden (nicht gezeigt in der Figur). Anschließend wird Gold-Material 304 bis zu einer vorgegebenen Dicke abgeschieden, die derart

20 gewählt ist, dass der in der Siliziumoxid-Schicht 302 eingebrachte Graben 305 gerade gefüllt wird. Dadurch wird auch Gold-Material 304 auf der Oberfläche des Photoresists 303 abgeschieden.

25 Um die in **Fig.3B** gezeigte Schichtenfolge 310 zu erhalten, wird unter Verwendung eines Lift-off-Verfahrens Material des Photoresists 303 sowie des darauf ausgebildeten Anteils des Gold-Materials 304 entfernt, so dass eine Gold-Elektrode 311 in dem Graben 305 zurückbleibt. Die so erhaltene

30 Schichtenfolge wird einer Behandlung in H₂- oder O₂-Plasma unterzogen. Nachfolgend wird eine SAM-Schicht (Self-Assembled-Monolayer) 312 einer vorgegebenen Dicke (d.h. Moleküllänge) auf die Gold-Elektrode 311 aufgebracht. Die

SAM-Schicht 312 besteht aus Molekülen, die eine Kohlenstoffkette aufweisen, an deren einem Endabschnitt eine schwefelhaltige Gruppe enthalten ist. Diese Schwefelgruppe kann definiert an dem Gold-Material der Gold-Elektrode 311 5 andocken, so dass räumlich gut lokalisiert die SAM-Schicht 312 in der in Fig.3B gezeigten Weise ausgebildet wird. Mittels Auswählens der Länge der Moleküle der SAM-Schicht 312 kann die Dicke des später ausgebildeten Tunnelhohlraums exakt eingestellt werden. Nach Abscheiden der SAM-Schicht 312 wird 10 die so erhaltene Schichtenfolge mit einer ungefähr 10nm dicken Germaniumsulfid-Schicht bedeckt und nachfolgend mit einer ungefähr 1nm bis 5nm dicken Silberschicht bedampft. Die so erhaltene Schichtenfolge wird einer UV-Strahlung ausgesetzt, wodurch Silberionen in die Germaniumsulfid- 15 Schicht eingetrieben werden. Die so erhaltene Schichtenfolge kann nochmals mit Gold, Silber oder Platin bedampft werden, um die elektrische Leitfähigkeit bzw. die mechanische Stabilität der obersten Schicht zu erhöhen. Optional kann eine ungefähr 10nm dicke zusätzliche Silbersulfid-Schicht 20 aufgedampft werden und ggf. verstärkt werden. Dadurch wird die auf der SAM-Schicht 312 ausgebildete Chalkogenid-Elektrode 313 erhalten.

Im Weiteren wird beschrieben, wie die in Fig.3C gezeigte 25 Schichtenfolge 320 erhalten wird. Zunächst ist anzumerken, dass die Ansichten von Fig.3A, Fig.3B, Fig.3D Querschnittsansichten sind, die sich von der Querschnittsansicht von Fig.3C unterscheiden. Fig.3C stellt eine Weiterbildung der in Fig.3B gezeigten Schichtenfolge 310 30 dar, aufgenommen entlang einer in Fig.3B dargestellten Schnittlinie I-I'.

Um die in Fig.3C gezeigte Schichtenfolge 320 zu erhalten, wird die Chalkogenid-Elektrode 313 zu einer Leiterbahn strukturiert. Dies erfolgt unter Verwendung einer weiteren, in der Figur nicht gezeigten Resistmaske und einer 5 anschließenden Trockenätzung. Dadurch wird die SAM-Schicht 312 freigelegt. Nachfolgend wird die SAM-Schicht 312 unter Verwendung eines Lösungsmittels und einer Temperaturerhöhung mit eventuell nachfolgender Wasserstoffplasma-Behandlung entfernt, wodurch der materialfreie Tunnelkontakt oder 10 Hohlraum 321 gebildet wird.

Die Schichtenfolge 320 stellt eine Speicherzelle gemäß einem bevorzugten Ausführungsbeispiel der Erfindung dar.

15 In **Fig.3D** ist die Speicherzelle aus Fig.3C in einer Ansicht gezeigt, welche der in Fig.3A, Fig.3B dargestellten entspricht.

Es ist anzumerken, dass die in Fig.3C, Fig.3D gezeigte 20 Speicherzelle mit mittels eines Plasma-Verfahrens ausgebildetem Siliziumoxid bedeckt werden kann. Die erhaltene Anordnung kann planarisirt werden, z.B. unter Verwendung eines CMP-Verfahrens ("Chemical Mechanical Polishing"). Nachfolgend kann auf der hergestellten Speicherzelle oder 25 Speicherzellen-Anordnung eine weitere Schicht von Speicherzellen ausgebildet werden. Dadurch ist eine hochdichte 3D-Integration ermöglicht.

Im Weiteren wird bezugnehmend auf Fig.3D die Funktionalität 30 der dort gezeigten Speicherzelle erläutert.

Zunächst wird beschrieben, wie in die Speicherzelle eine Information programmiert werden kann. Legt man an die

20

Chalkogenid-Elektrode 313 ein positives elektrisches Potential und an die Gold-Elektrode 311 ein negatives elektrisches Potential an, so wächst von der Chalkogenid-Elektrode 313 aus eine Silber-Überbrückungsstruktur auf, welche den wenige Nanometer dicken Hohlraum 321 zwischen der Gold-Elektrode 311 und der Chalkogenid-Elektrode 313 überbrückt. Wird nun bei einer Lese-Spannung zwischen den Elektroden 311, 313 der Wert des elektrischen Stroms gemessen, so wird dieser aufgrund der niederohmigen Konfiguration infolge des Überbrückens des Hohlraums 321 durch die Überbrückungsstruktur hoch sein. Wird die Polarität der zuvor angelegten Spannung zwischen den Elektroden 311, 313 umgekehrt, so dass das positive Potential an der Gold-Elektrode 311 anliegt, so wächst der Dendrit bzw. die Überbrückungsstruktur zurück, so dass der Hohlraum 321 einen Tunnelabstand zwischen Elektroden 311, 313 bildet. Der Stromfluss bei angelegter Lese-Spannung ist nun geringer als in dem Fall, wo eine Überbrückungsstruktur gebildet ist.

20 Die Betriebszustände "hoher ohmscher Widerstand" oder "niedriger ohmscher Widerstand" können zum Beispiel mit den logischen Werten "1" bzw. "0" (oder umgekehrt) identifiziert werden. Die Speicherinformation ist somit anschaulich in dem jeweiligen Wert des ohmschen Widerstands einer Speicherzelle kodiert.

25

Im Weiteren wird bezugnehmend auf **Fig.4** eine Speicherzellen-Anordnung 400 gemäß einem bevorzugten Ausführungsbeispiel der Erfindung beschrieben.

30

Die Speicherzellen-Anordnung 400 ist gebildet aus einer Vielzahl entlang einer ersten Richtung verlaufenden Gold-Bitleitungen 401 und einer Vielzahl von dazu im Wesentlichen

21

orthogonal verlaufenden Chalkogenid-Wortleitungen 402 (welche Silbersulfid aufweisen). In jedem Kreuzungsbereich zwischen einer Gold-Bitleitung 401 und einer Chalkogenid-Wortleitung 402 ist ein in Fig.4 nicht gezeigter Hohlraum vorgesehen, 5 welcher gemeinsam mit angrenzenden Bereichen der zugehörigen Gold-Bitleitung 401 und der zugehörigen Chalkogenid-Wortleitung 402 eine Speicherzelle der Erfindung bildet. Die Hohlräume in den Kreuzungsbereichen von Gold-Bitleitungen 401 und Chalkogenid-Wortleitungen 402 sind wiederum mittels 10 Entfernens einer zuvor aufgebrachten SAM-Schicht (Self-Assembled-Monolayer) gebildet.

15 Im Weiteren wird bezugnehmend auf **Fig.5** eine Speicherzelle 500 gemäß einem bevorzugten Ausführungsbeispiel der Erfindung beschrieben.

Die in Fig.5 gezeigte Speicherzelle weist eine erste Elektrode 501 und eine zweite Elektrode 502 auf, zwischen welchen Elektroden 501, 502 ein Hohlraum 503 gebildet ist. 20 Die erste und zweite Elektrode 501, 502 sind derart eingerichtet, dass bei Anlegen einer ersten Spannung zwischen die Elektroden 501, 502 aus Material von einer der Elektroden 501, 502 eine den Hohlraum 503 überbrückende Struktur gebildet wird. Ferner sind die beiden Elektroden 501, 502 25 derart eingerichtet, dass bei Anlegen einer zu der ersten Spannung entgegengesetzt gepolten zweiten Spannung zwischen die Elektroden 501, 502 Material einer den Hohlraum 503 zwischen den Elektroden 501, 502 überbrückenden Struktur zurückgebildet wird, wodurch die Elektroden 501, 502 über den 30 Hohlraum hinweg voneinander elektrisch entkoppelt sind.

Mit anderen Worten ist bei einer festen Spannung zwischen den Elektroden 501, 502 der Wert des elektrischen Stroms davon

abhängig, ob der Hohlraum 503 von einer Überbrückungsstruktur überbrückt ist oder nicht. Komponenten 501 bis 503 bilden somit den Kernbereich der Speicherzelle 500, wobei eine Vielzahl von Speicherzellen 500 beispielsweise ähnlich der in 5 Fig.4 gezeigten Weise in einer Speicherzellen-Anordnung angeordnet sein können. In diesem Fall ist es erforderlich, die Speicherinformation in eine bestimmte Speicherzelle definiert einschreiben bzw. auslesen zu können. Dies wird bei dem in Fig.5 gezeigten Ausführungsbeispiel unter Verwendung 10 eines Vertikal-Feldeffekttransistors durchgeführt. Genau genommen sind in Fig.5 zwei Vertikal-Feldeffekttransistoren gezeigt, von denen einer den Komponenten 501 bis 503 zugeordnet ist. Der andere Feldeffekttransistor, der analog ausgebildet ist wie der den Komponenten 501 bis 503 15 zugeordnete Feldeffekttransistor, kann zum Ankoppeln an eine andere Speicherzelle verwendet werden.

Die zweite Elektrode 502 ist mit einem ersten Source-/Drain-Bereich 504 des Vertikal-Feldeffekttransistors gekoppelt. 20 Zwischen dem ersten Source-/Drain-Bereich 504 und einem zweiten Source-/Drain-Bereich 505 ist ein in Fig.5 nicht gezeigter Kanal-Bereich des Vertikal-Feldeffekttransistors angeordnet. Der Kanal-Bereich ist von einem Surrounded-Gate 506 umgeben, wobei das Surrounded-Gate 506 mittels eines 25 Gate-isolierenden Bereichs (nicht gezeigt) von dem Kanal-Bereich entkoppelt ist.

Im Weiteren wird die Funktionalität der Speicherzelle 500 erläutert. Ist in einem ersten Betriebszustand der Hohlraum 30 503 zwischen den Elektroden 501, 503 überbrückt, so weist die Anordnung von Komponenten 501 bis 503 einen geringen Wert des ohmschen Widerstands auf. Mittels Anlegens einer Spannung an den Surrounded-Gate-Bereich 506 wird aufgrund des Feldeffekts

23

der Kanal-Bereich leitfähig, und ein elektrischer Stromfluss zwischen den Source-/Drain-Bereichen 504, 505 ist möglich.

Bei Anlegen einer festen Spannung zwischen der ersten Elektrode 501 und dem zweiten Source-/Drain-Bereich 505 ist

5 der Wert des fließenden elektrischen Stroms ein Maß dafür, ob der Hohlraum 503 von einer Überbrückungsstruktur überbrückt ist oder nicht. Somit ist der Wert des elektrischen Stroms in dem beschriebenen Szenario größer als in einem komplementären Szenario, bei dem der Hohlraum 503 von einer

10 Überbrückungsstruktur frei ist. Mit anderen Worten kann mittels Anlegens eines elektrischen Potentials an den Surrounded-Gate-Bereich 506 und eines Potentials zwischen die erste Elektrode 501 und den zweiten Source-/Drain-Bereich 505 die Speicherzelle ausgelesen werden.

15

Mittels Anlegens einer ausreichend starken elektrischen Spannung vorgebbarer Polarität zwischen die erste Elektrode 501 und den zweiten Gate-Bereich 505 kann eine Überbrückungsstruktur in dem Hohlraum 503 aufgewachsen oder

20 zurückgebildet werden.

Es ist anzumerken, dass die erfindungsgemäße Speicherzelle nicht auf zwei Elektroden beschränkt ist.

25 In Fig.6 ist eine Speicherzelle 600 gemäß einem anderen Ausführungsbeispiel der Erfindung gezeigt, bei der eine erste Chalkogenid-Elektrode 601 und eine zweite Chalkogenid-Elektrode 602 vorgesehen sind. Ferner ist in einem vorgegebenen Abstand "d" von den Chalkogenid-Elektroden 601,

30 602 eine Silber-Elektrode 603 angeordnet. Mittels Anlegens einer geeigneten Spannung zwischen mindestens einer der Chalkogenid-Elektroden 601, 602 und die Silber-Elektrode 603 kann eine Überbrückungsstruktur 604 gemeinsam ausgehend von

24

den Chalkogenid-Elektroden 601, 602 aufgewachsen werden, um eine Kopplung mit der Silber-Elektrode 603 herzustellen.

Entsprechend sind beliebig kompliziertere Anordnungen von
5 Elektroden möglich, denn es ist möglich, selektiv eine reversible Kopplung beispielsweise nur zwischen Elektrode 601 und Elektrode 603 oder nur zwischen Elektrode 602 und 603 herzustellen. Dadurch können auf mikroelektronischer Ebene
10 reversibel Kopplungen in Schaltkreisen gebildet und wieder entfernt werden.

Ferner ist anzumerken, dass die erfindungsgemäße Speicherzelle auch als Logikelement verwendet werden kann, wobei eine Logik reversibel in ein entsprechendes
15 Logikelement eingeschrieben werden kann.

In diesem Dokument sind folgende Veröffentlichungen zitiert:

[1] Terabe, K et al. (2001) "Quantum point contact switch realized by solid electrochemical reaction", RIKEN Review, Focused on Nanotechnology in RIKEN1, No.37, 5 S.7-8

[2] Haag, R et al. (1999) "Electrical Breakdown of Aliphatic and Aromatic Self-Assembled Monolayers Used as Nanometer-Thick Organic Dielectrics", JAmChemSoc 10 121:7895-7906

[3] Hofmann, F et al. (2001) "Surrounding Gate Selector Transistor for 4F² Stacked Gbit DRAM", ESSDERV 15 European Solid State Device Research Conference, September 2001

[4] US 5,761,115

20 [5] US 5,914,893

[6] US 5,896,312

[7] US 6,084,796

25 [8] US 6,348,365

[9] US 6,391,688

30 [10] US 6,418,049

[11] US 2002/0168 820 A1

35 [12] Kohlrausch, F (1985) "Praktische Physik", Band 2, 23. Auflage, Teubner Verlag Stuttgart, Seiten 31-32

Bezugszeichenliste

100 erste Experimentier-Anordnung
101 Platin-Substrat
102 Silbersulfid-Spitze
103 erste Spannung
104 Quantenpunktkontakte
110 zweite Experimentier-Anordnung
111 zweite Spannung
200 Diagramm
201 Abszisse
202 Ordinate
300 Schichtenfolge
301 Silizium-Substrat
302 Siliziumoxid-Schicht
303 Photoresist
304 Gold-Material
305 Graben
310 Schichtenfolge
311 Gold-Elektrode
312 SAM-Schicht
313 Chalkogenid-Elektrode
320 Schichtenfolge
321 Hohlraum
330 Schichtenfolge
400 Speicherzellen-Anordnung
401 Gold-Bitleitungen
402 Chalkogenid-Wortleitungen
500 Speicherzelle
501 erste Elektrode
502 zweite Elektrode
503 Hohlraum
504 erster Source-/Drain-Bereich
505 zweiter Source-/Drain-Bereich
506 Surrounded Gate-Bereich

- 600 Speicherzelle
- 601 erste Chalkogenid-Elektrode
- 602 zweite Chalkogenid-Elektrode
- 603 Silber-Elektrode
- 604 Überbrückungsstruktur

Patentansprüche:

1. Verfahren zum Herstellen einer Binär-Informationsspeicherzelle,

5 bei dem

- in und/oder auf einem Substrat ein erster elektrisch leitfähiger Bereich ausgebildet wird;
- ein zweiter elektrisch leitfähiger Bereich in einem vorgegebenen Abstand zu dem ersten elektrisch leitfähigen Bereich derart ausgebildet wird, dass zwischen dem ersten und dem zweiten elektrisch leitfähigen Bereich ein Hohlraum gebildet wird;
- der erste und der zweite elektrisch leitfähige Bereich derart eingerichtet wird, dass bei Anlegen 15 einer ersten Spannung an die elektrisch leitfähigen Bereiche aus Material von mindestens einem der elektrisch leitfähigen Bereiche eine den Abstand zwischen den elektrisch leitfähigen Bereichen zumindest teilweise überbrückende Struktur freiwachsend gebildet wird;
- einer zweiten Spannung an die elektrisch leitfähigen Bereiche Material einer den Abstand zwischen den elektrisch leitfähigen Bereichen zumindest teilweise überbrückenden Struktur 20 zurückbildet wird.

2. Verfahren nach Anspruch 1,

bei dem zum Bilden des vorgegebenen Abstands zwischen dem ersten und dem zweiten elektrisch leitfähigen Bereich auf dem

30 ersten elektrisch leitfähigen Bereich eine Hilfsstruktur einer vorgegebenen Dicke ausgebildet wird und nach Ausbilden des zweiten elektrisch leitfähigen Bereichs die Hilfsstruktur entfernt wird.

35 3. Verfahren nach Anspruch 2,

bei dem als Hilfsstruktur ein Self-Assembled-Monolayer verwendet wird.

4. Verfahren nach Anspruch 2,
bei dem die Hilfsstruktur unter Verwendung eines Atomic-Layer-Deposition-Verfahrens ausgebildet wird.

5

5. Verfahren nach Anspruch 2,
bei dem die Hilfsstruktur unter Verwendung eines Molekularstrahlepitaxie-Verfahrens ausgebildet wird.

10 6. Verfahren nach einem der Ansprüche 1 bis 5,
bei dem der vorgegebene Abstand zwischen ungefähr 0.5nm und ungefähr 5nm beträgt.

15 7. Verfahren nach einem der Ansprüche 1 bis 6,
bei dem der vorgegebene Abstand zwischen ungefähr 0.6nm und ungefähr 2nm beträgt.

20 8. Verfahren nach einem der Ansprüche 1 bis 7,
bei dem der erste elektrisch leitfähige Bereich eine erste Leiterbahn und der zweite elektrisch leitfähige Bereich eine zweite Leiterbahn ist, welche Leiterbahnen zueinander im Wesentlichen orthogonal zueinander verlaufend ausgebildet werden.

25 9. Binär-Information-Speicherzelle
• mit einem Substrat;
• mit einem in und/oder auf dem Substrat ausgebildeten ersten elektrisch leitfähigen Bereich;
• mit einem zweiten elektrisch leitfähigen Bereich, der in einem vorgebbaren Abstand zu dem ersten elektrisch leitfähigen Bereich derart angeordnet ist, dass zwischen dem ersten und dem zweiten elektrisch leitfähigen Bereich ein Hohlraum gebildet wird;
• wobei der erste und der zweite elektrisch leitfähige Bereich derart eingerichtet ist, dass bei Anlegen
30 o einer ersten Spannung an die elektrisch leitfähigen Bereiche aus Material von mindestens einem der
35

elektrisch leitfähigen Bereiche eine den Abstand zwischen den elektrisch leitfähigen Bereichen zumindest teilweise überbrückende Struktur freiwachsend gebildet wird;

5 o einer zweiten Spannung an die elektrisch leitfähigen Bereiche Material einer den Abstand zwischen den elektrisch leitfähigen Bereichen zumindest teilweise überbrückenden Struktur zurückbildet wird.

10 10. Binär-Information-Speicherzelle nach Anspruch 9, bei der das Substrat ein Silizium-Substrat ist.

15 11. Binär-Information-Speicherzelle nach Anspruch 9 oder 10, bei welcher der erste oder der zweite elektrisch leitfähige Bereich

- einen Festkörper-Elektrolyten;
- ein Metallionen aufweisendes Glas;
- einen Metallionen aufweisender Halbleiter; oder
- ein Chalkogenid

20 aufweist.

12. Binär-Information-Speicherzelle nach einem der Ansprüche 9 bis 11,

25 bei welcher der erste oder der zweite elektrisch leitfähige Bereich Silbersulfid aufweist.

13. Binär-Information-Speicherzelle nach einem der Anspruch 9 bis 12,

30 bei welcher der erste oder der zweite elektrisch leitfähige Bereich aus metallischem Material besteht.

14. Binär-Information-Speicherzelle nach einem der Ansprüche 9 bis 13,

35 bei welcher der erste oder der zweite elektrisch leitfähige Bereich

- Silber;

- Kupfer;
- Aluminium;
- Gold und/oder
- Platin

5 aufweist.

15. Binär-Information-Speicherzellen-Anordnung mit einer Mehrzahl von Binär-Information-Speicherzellen nach einem der Ansprüche 9 bis 14.

10 16. Binär-Information-Speicherzellen-Anordnung nach Anspruch 15, bei der die Binär-Information-Speicherzellen im Wesentlich matrixförmig angeordnet sind.

15 17. Binär-Information-Speicherzellen-Anordnung nach Anspruch 15 oder 16, bei der für zumindest einen Teil der Binär-Information-Speicherzellen Auswahlelemente zum Auswählen einer Binär-Information-Speicherzelle in und/oder auf dem Substrat 20 ausgebildet sind.

18. Binär-Information-Speicherzellen-Anordnung nach Anspruch 17, 25 bei der die Auswahlelemente Feldeffekttransistoren sind.

19. Binär-Information-Speicherzellen-Anordnung nach Anspruch 18, bei der die Auswahlelemente Vertikal-Feldeffekttransistoren 30 sind.

FIG 1A
Stand der Technik

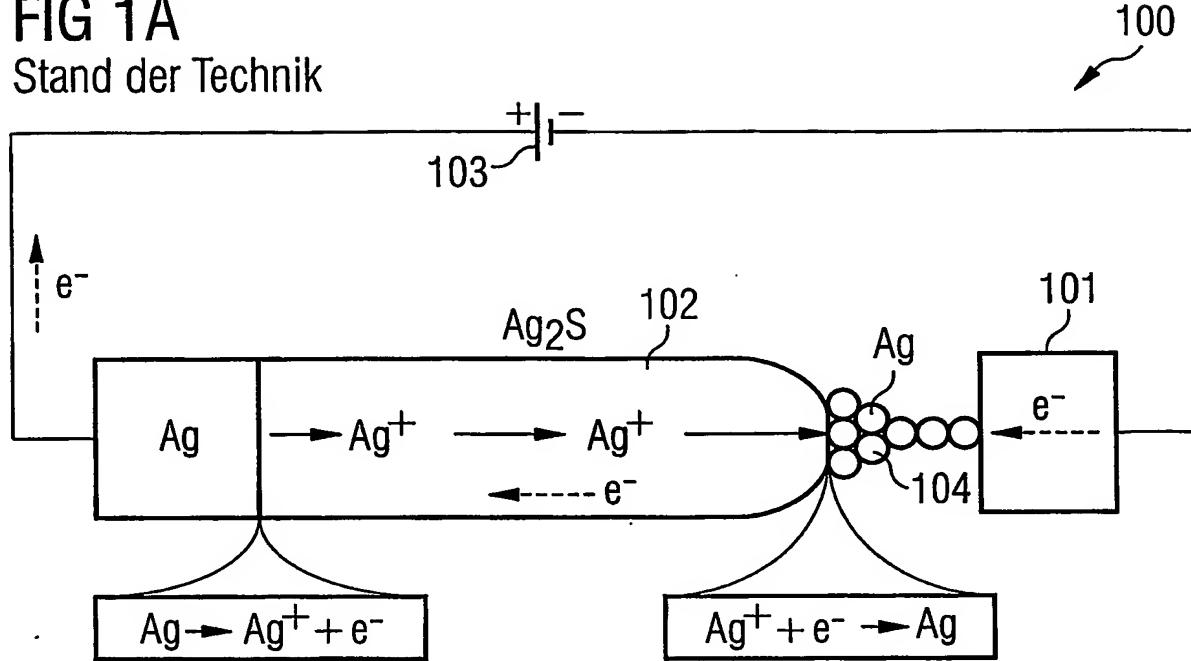


FIG 1B
Stand der Technik

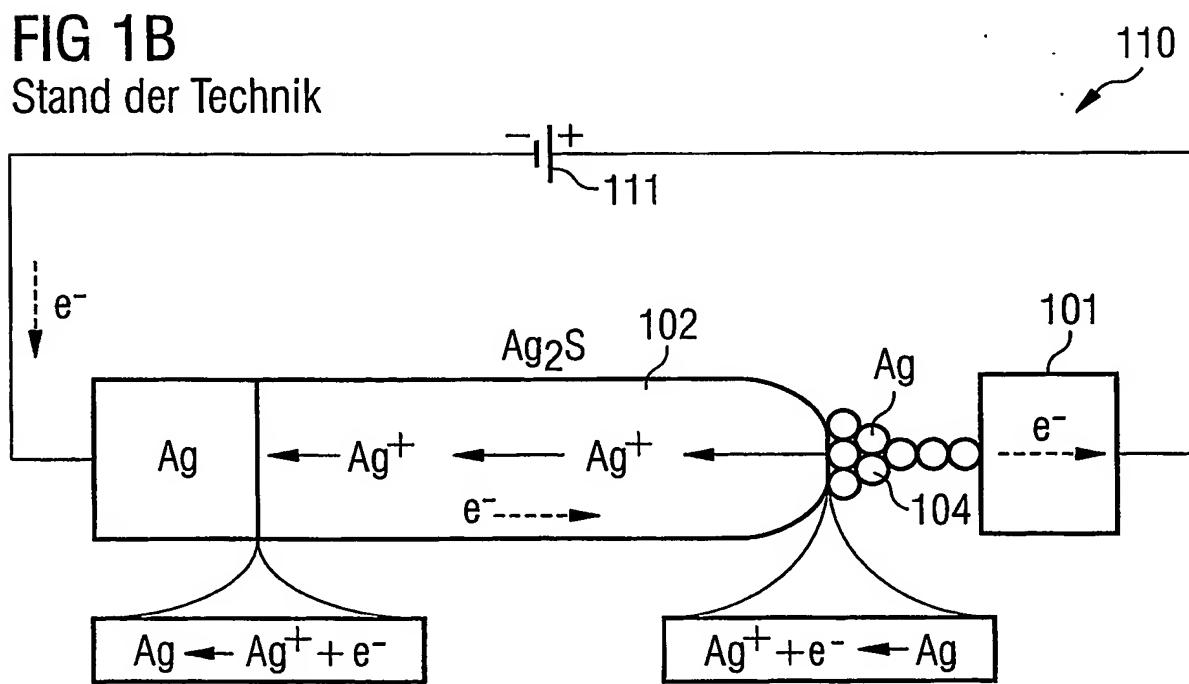
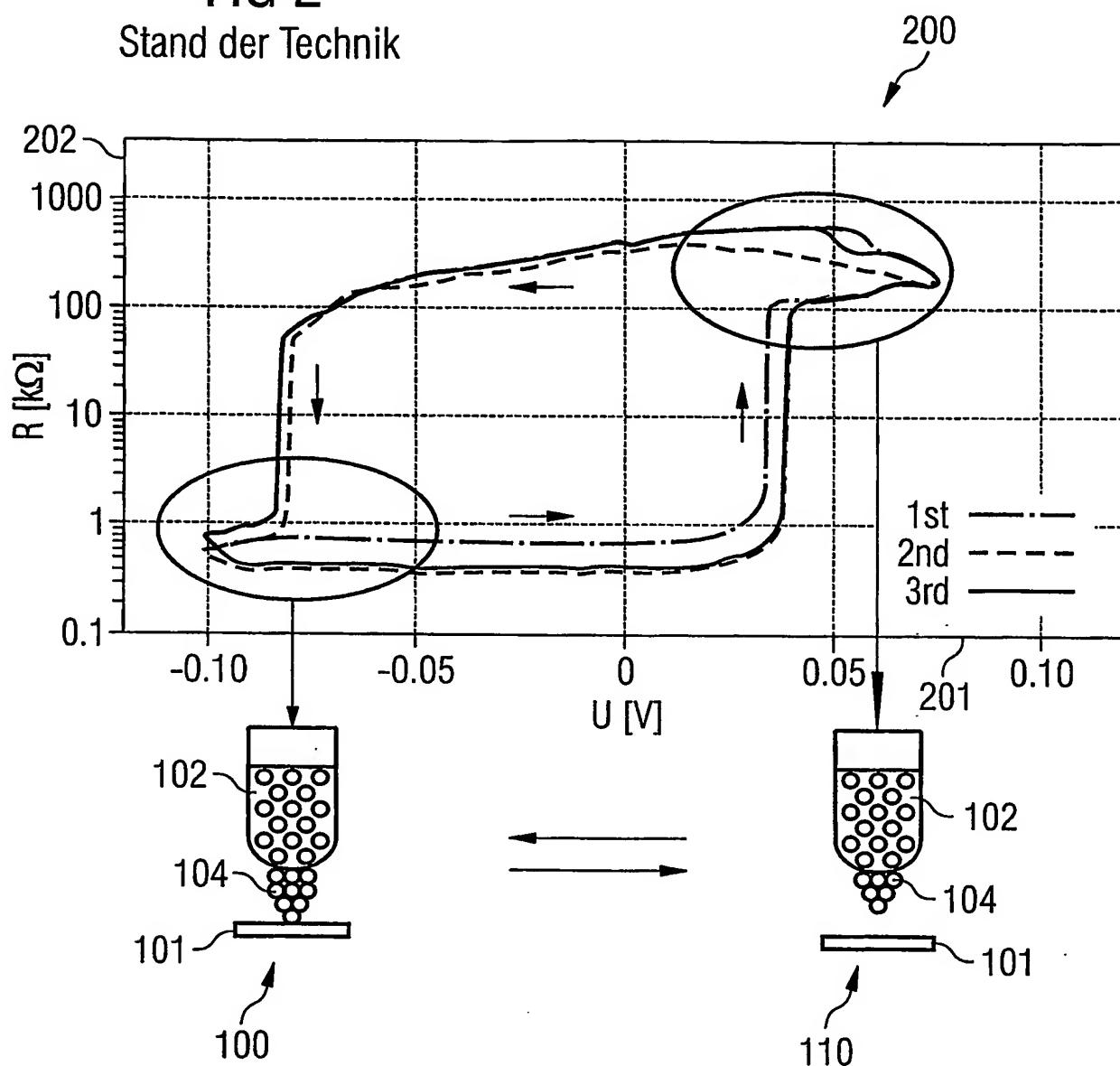


FIG 2
Stand der Technik



3/5

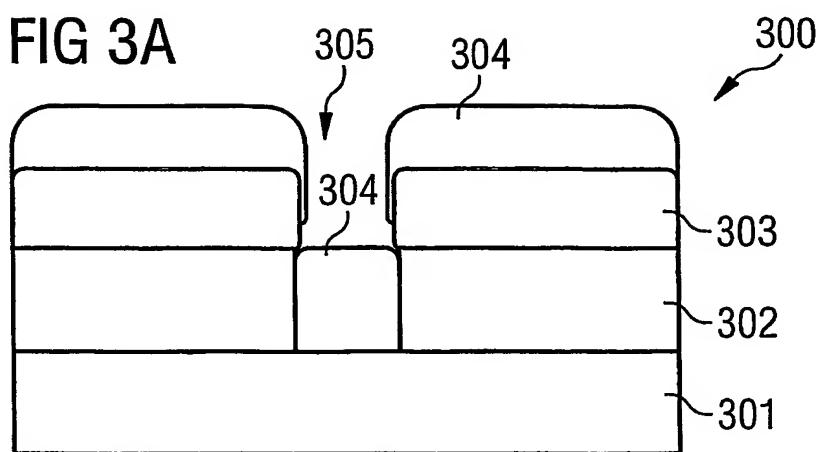
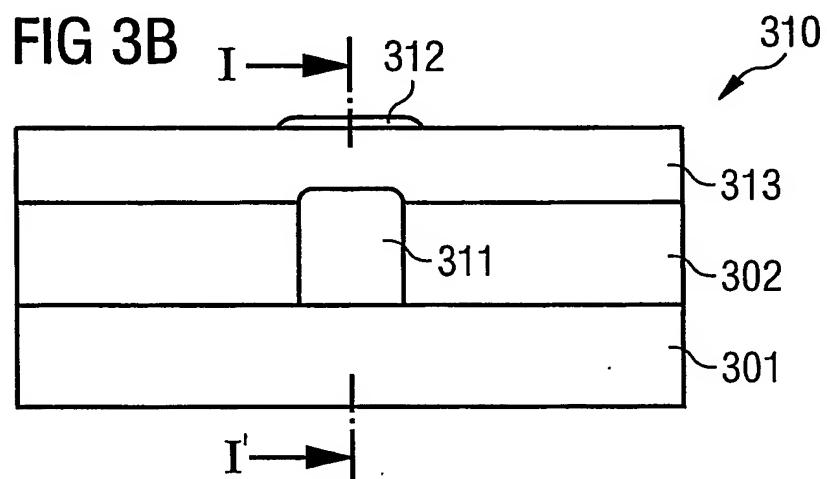
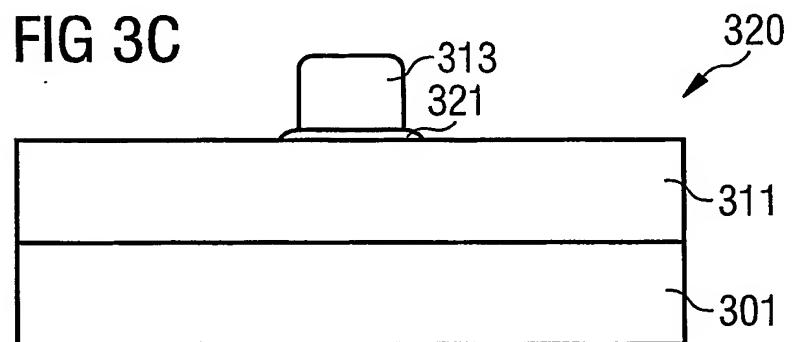
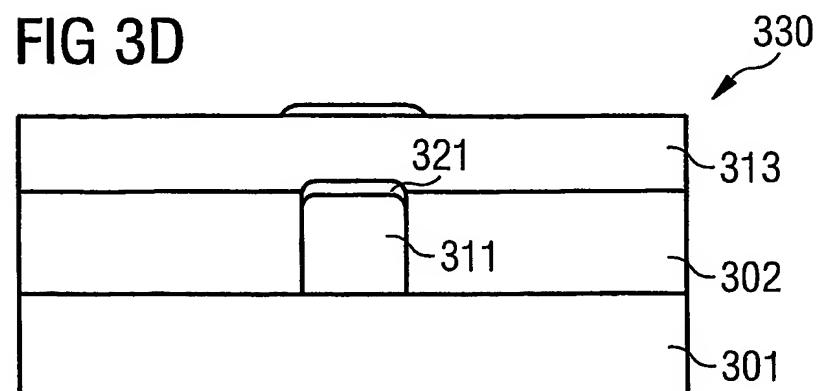
FIG 3A**FIG 3B****FIG 3C****FIG 3D**

FIG 4

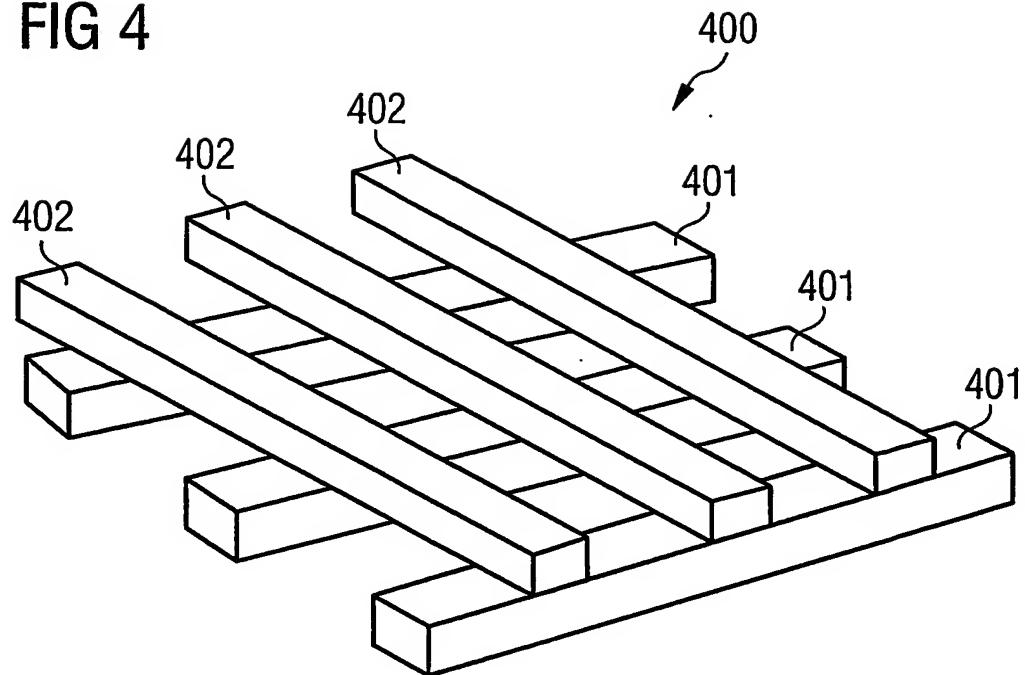


FIG 5

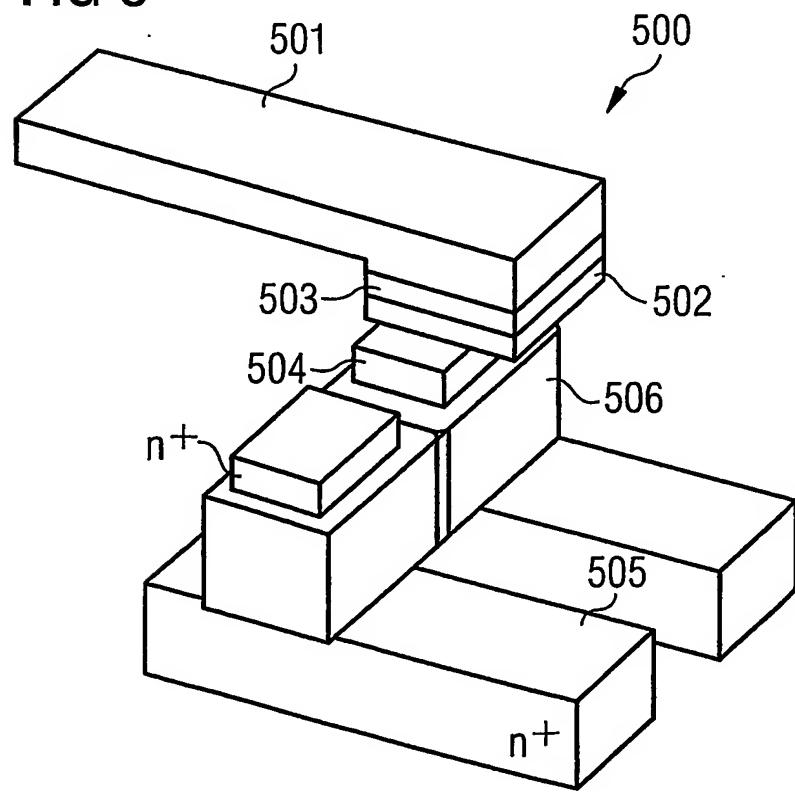


FIG 6

